



⑩ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 198 34 976 A 1**

⑤ Int. Cl.⁷:
G 01 R 31/3187
H 03 K 23/54
G 06 F 11/27

⑦ Aktenzeichen: 198 34 976.9
② Anmeldetag: 3. 8. 1998
④ Offenlegungstag: 2. 3. 2000

DE 198 34 976 A 1

⑦ Anmelder:
Siemens AG, 80333 München, DE

⑦ Erfinder:
Hutner, Franz, Dipl.-Ing., 85254 Einsbach, DE

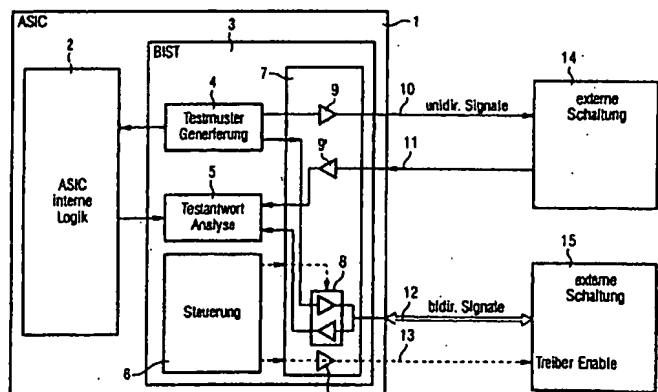
⑤ Entgegenhaltungen:
US 56 77 916 A
US 45 19 078

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Integrierte Schaltung mit eingebautem Baugruppentest

⑥ Die Erfindung betrifft eine integrierte Schaltung (1), insbesondere ein ASIC, die aus einer Vielzahl von logischen Gattern (2) besteht. Zum Durchführen eines internen Selbsttests der Vielzahl von logischen Gattern (2) ist eine Selbsttestschaltung (3) vorgesehen, die einen Testmuster-Generator (4) und einen Testantwort-Analysator (5) aufweist. Über eine in der integrierten Schaltung vorgesehene Ein-/Ausgangsschaltung (7) kann mit der in der integrierten Schaltung eingebauten Selbsttestschaltung (3) darüber hinaus ein Test einer externen Schaltung (14, 15) durchgeführt werden.



DE 198 34 976 A 1

vorzugsweise aus einer anwenderspezifischen integrierten Schaltung (ASIC) besteht. Derartige integrierte Schaltungen sind für die vorliegende Erfindung besonders geeignet, da sie für bestimmte Anwendungsfälle speziell entworfen werden, wobei üblicherweise die Hardware bzw. die externe Beschaltung genau festgelegt ist und in hohen Stückzahlen als Systemboard oder Modul-Baugruppe hergestellt wird.

Der ASIC 1 besitzt eine interne Logik 2, die aus einer Vielzahl von logischen Gattern besteht und die logische Funktion des ASICs 1 realisiert. Das Bezugszeichen 3 bezeichnet eine eingebaute Selbsttestschaltung (built-in self-test, BIST), die im wesentlichen einen Testmuster-Generator 4 und einen Testantwort-Analysator 5 aufweist.

Die Fig. 2 zeigt ein schematisches Blockschaltbild des Testmuster-Generators 4. Der Testmuster-Generator 4 besteht beispielsweise aus einem linear rückgekoppelten Schieberegister (LFSR). Hierbei befinden sich eine Vielzahl von Flip-Flops 18 in einer Reihenschaltung, wobei das Ausgangssignal des letzten Flip-Flops an den Eingang des ersten Flip-Flops rückgekoppelt ist. Zur Erzeugung von Pseudo-Random-Vektoren, die als Testmuster 16 verwendet werden, können sich zwischen den jeweiligen Flip-Flops XOR-Gatter 19 befinden, die eine Exklusiv-ODER-Verknüpfung des Ausgangssignals eines jeweiligen Flip-Flops 18 mit dem Ausgangssignal des letzten Flip-Flops ermöglichen. Das aus dieser Exklusiv-ODER-Verknüpfung resultierende Signal wird jeweils dem nachfolgenden Flip-Flop an dessen Eingang zugeführt. Die Ausgänge der seriell verschalteten Flip-Flops 18 dienen als Ausgangssignal und liefern ein Testmuster bzw. eine Testsignatur 16, die einen Pseudo-Random-Vektor darstellt, der bei einer Anzahl von n Flip-Flops $2^n - 1$ Zustände in scheinbar zufälliger aber wiederholbarer Reihenfolge wiedergibt. Ein derartiges Testmuster bzw. eine derartige Testsignatur 16 eignet sich in hervorragender Weise zum Testen von hochkomplexen Logikschaltungen, da es bei entsprechender Testdauer eine außerordentlich hohe Testschärfe aufweist.

Die Fig. 3 zeigt ein schematisches Blockschaltbild des zum Testmuster-Generator 4 gemäß Fig. 2 dazugehörigen Testantwort-Analysators 5, wie er zur Komprimierung und Auswertung einer Testantwort verwendet wird. Das vom Testmuster-Generator 4 erzeugte Testmuster 16 wird einer zu testenden Schaltung zugeführt und erzeugt dabei an deren Ausgangsanschlüssen eine Testantwort 17. Diese Testantwort 17 wird dem Testantwort-Analysator 5 zugeführt, der gemäß Fig. 3 aus einer Vielzahl von seriell verschalteten Flip-Flops 18 besteht und wiederum ein linear rückgekoppeltes Schieberegister (linear-feedback-shift-register, LFSR) aufweist. Der Testantwort-Analysator 5 ist in einer dem Testmuster-Generator 4 und der zu testenden Schaltung entsprechenden Weise derart aufgebaut, daß er die von der zu testenden Schaltung ausgesendete Testantwort 17 in geeigneter Weise komprimiert und ein den überprüften logischen Funktionen der zu testenden Schaltung entsprechendes Ausgangssignal ausgibt. Auf der Grundlage dieser Ausgangssignale und in Kenntnis der zu erwartenden Ausgangssignale kann bei ausreichend großer Anzahl von Testmustern 16 eine ausreichend hohe Testgenauigkeit bzw. -schärfe zum Erfassen von Fehlern in der zu testenden Schaltung erreicht werden. Die in den Fig. 2 und 3 dargestellten Beispiele für den Testmuster-Generator 4 und den Testantwort-Analysator 5 dienen lediglich der grundsätzlichen Erläuterung für das Erzeugen von geeigneten Testmustern und die Auswertung von entsprechenden Testantworten. Selbstverständlich können die vorstehend beschriebenen Testmuster bzw. Testantworten auch auf andere Weise erzeugt bzw. ausgewertet werden.

Die Besonderheit der vorliegenden Erfindung liegt nun-

mehr darin, daß ein von dem Testmuster-Generator 4 erzeugtes Testmuster 16 nicht nur an die interne Logik des ASICs 1 ausgegeben wird, sondern darüber hinaus über eine Ausgangsschaltung 7 an die Ausgangsanschlüsse der integrierten Schaltung bzw. des ASICs 1. Im Gegensatz zu einer herkömmlichen integrierten Schaltung mit eingebautem Selbsttest, bei der die Ausgangs- und Eingangsanschlüsse des Bausteins konstant gehalten werden, liegt bei der erfindungsgemäßen integrierten Schaltung 1 zumindest ein Teil des vom Testmuster-Generator 4 erzeugten Testmusters 16 über Ausgangstreiber 9 an den Ausgangsanschlüssen der integrierten Schaltung 1 an.

Die Fig. 4 zeigt eine Darstellung zur Veranschaulichung der Aufteilung des Testmusters 16 in einen ersten und zweiten Teil zum Testen der internen Logik 2 und der externen Logik 14. Gemäß Fig. 4 besteht die interne Logik 2 des ASICs 1 lediglich aus einem UND-Gatter 20. Die externe Schaltung 14 ist beispielhaft aus einem ODER-Gatter 21 und einem Flip-Flop 22 aufgebaut. Diese sehr vereinfachte Darstellung einer zu testenden Baugruppe soll nachfolgend die Wirkungsweise des erfindungsgemäßen ASICs darstellen. Zum Testen der logischen Funktion des UND-Gatters 20 in der internen Logik 2 des ASICs 1 benötigt man drei Testmuster (11, 01, 10). Mit einem derartigen Testmuster kann die logische Funktion des UND-Gatters 20 vollständig getestet werden. Das in der externen Schaltung befindliche ODER-Gatter 21 kann mit drei Testmustern (01, 10, 00) getestet werden. Für einen Minimaltest des Flip-Flops 22 genügt die Überprüfung der Änderung des logischen Pegels am Ausgang des Flip-Flops 22 in Abhängigkeit vom Taktsignal.

Daraus ergibt sich die in Fig. 4 dargestellte Testmusterfolge (011, 001, 010, 1XX) mit der ein Minimaltest der internen Logik 2 sowie der externen Schaltung 14 durchgeführt werden kann. Erfindungsgemäß erzeugt der Testmuster-Generator 4 ein entsprechendes Testmuster, wobei ein erster Teil TM1 des Testmusters 16 der internen Logik 2 bzw. dem UND-Gatter 20 zugeführt wird, während ein zweiter Teil TM2 des Testmusters 16 über einen Ausgangstreiber 9 und den Ausgangsanschluß des ASICs 1 der externen Schaltung 14 bzw. dem ODER-Gatter 21 zugeführt wird. Das Bezugszeichen TA1 stellt hierbei die Testantwort der internen Logik 2 dar, während TA2 die Testantwort der externen Schaltung 14 wiedergibt und über einen Eingangstreiber 9' dem Testantwort-Analysator 5 zugeführt wird. Die von der internen Logik 2 ausgegebene Testantwort TA1 (1, 0, 0, X) und die von der externen Schaltung 14 ausgegebene Testantwort TA2 (1, 0, 0, 1) ergeben die gesamte Testantwort 17 (11, 00, 00, X1), die dem Testantwort-Analysator 5 zur Auswertung zugeführt wird. Die vom Testantwort-Analysator 5 analysierten Signale werden dabei mit einer zu erwartenden Signalreihenfolge verglichen, wobei bei Übereinstimmung zwischen erwarteter und empfangener Signalreihenfolge ein erfolgreicher Test bzw. Fehlerfreiheit der internen Logik 2 und der externen Schaltung 14 vorliegt.

Besteht die externe Schaltung 14 aus einer rein kombinatorischen Schaltung, so ist eine Taktsynchronität und/oder ein definiertes Rücksetzen der externen Bauteile nicht erforderlich. Besteht jedoch die externe Schaltung 14 wie in Fig. 4 dargestellt auch aus einem sequenziellen Baustein, d. h. getaktetes Flip-Flop 22 oder dgl., so müssen alle in den Selbsttest einbezogenen Einheiten taktsynchron arbeiten und definiert zurückgesetzt werden. Hierbei muß der ASIC 1 einen Anschluß aufweisen, der ein derartiges definiertes Rücksetzen sowie taktsynchrones Arbeiten ermöglicht.

Die Fig. 4 zeigt den ASIC 1 in Verbindung mit externen rein kombinatorischen sowie rücksetzbaren sequenziellen Bauelementen, die über unidirektionale Ein-/Ausgangs-

- durch gekennzeichnet, daß die Selbsttestschaltung (3) einen Testmuster-Generator (4) zum Erzeugen eines Testmusters (16) und einen Testantwort-Analysator (5) zum Auswerten einer Testantwort (17) aufweist.
3. Integrierte Schaltung nach Patentanspruch 2, dadurch gekennzeichnet, daß der Testmuster-Generator (4) und der Testantwort-Analysator (5) aus linear rückgekoppelten Schieberegistern besteht.
4. Integrierte Schaltung nach Patentanspruch 2 oder 3, dadurch gekennzeichnet, daß der Testmuster-Generator (4) Pseudo-Random-Vektoren als Testmuster erzeugt.
5. Integrierte Schaltung nach einem der Patentansprüche 2 bis 4, dadurch gekennzeichnet, daß die Vielzahl von logischen Gattern (2) und die externe Schaltung (14, 15; 23) gleichzeitig getestet werden, wobei ein erster Teil (TM1) des Testmusters (16) der Vielzahl von logischen Gattern (2) und ein zweiter Teil (TM2) über die Ein-/Ausgangsschaltung (7) der externen Schaltung (14, 15, 23) zugeführt wird, während sich die Testantwort (17) aus einem ersten Teil der Antwortsignale (TA1) der Vielzahl von logischen Gattern (2) und aus einem zweiten Teil der Antwortsignale (TA2) der externen logischen Schaltung (14, 15; 23) ergibt.
6. Integrierte Schaltung nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, daß die Ein-/Ausgangsschaltung (7) Ein-/Ausgabetreiber (9, 9') zum Senden und Empfangen von unidirektionalen Signalen (10, 11) zwischen der Selbsttestschaltung (3) und der externen Schaltung (14) aufweist.
7. Integrierte Schaltung nach einem der Patentansprüche 1 bis 6, dadurch gekennzeichnet, daß die Ein-/Ausgangsschaltung (7) steuerbare Ein-/Ausgabetreiber (8) zum Senden und Empfangen von bidirektionalen Signalen (12) zwischen der Selbsttestschaltung (3) und der externen Schaltung (15) aufweist, wobei eine Steuervorrichtung (6) die Treiber der Ausgangsschaltung (7) sowie der externen Schaltung (15) steuert.
8. Integrierte Schaltung nach Patentanspruch 7, dadurch gekennzeichnet, daß die Steuervorrichtung (6) die Selbsttestschaltung (3) und die Ausgangsschaltung (7) derart steuert, daß in einem ersten Testzyklus eine Initialisierung der externen Schaltung (15; 23) und in einem zweiten Testzyklus der Selbsttest der Vielzahl von logischen Gattern (2) sowie der externen Schaltung (15) durchgeführt wird.
9. Integrierte Schaltung nach Patentanspruch 7 oder 8, dadurch gekennzeichnet, daß die Ein-/Ausgangsschaltung (7) einen Busanschluß zum Verbinden mit einer externen Busstruktur (12') und die Steuervorrichtung eine Bussteuerung (6') aufweist, wobei an der Busstruktur (12') angeschlossene externe Schaltungselemente (23) selektiv über jeweilige Freigabesignale (13') für einen Selbsttest ausgewählt werden.
10. Integrierte Schaltung nach Patentanspruch 9, dadurch gekennzeichnet, daß die Bussteuerung (6') einen Zähler zum Zählen eines Bustaktsignals aufweist, wobei die steuerbaren Ausgangstreiber (8) nur alle geraden Taktzyklen des Bustaktsignals angesteuert werden und die jeweiligen Freigabesignale (13') sequenziell alle ungeraden Taktzyklen des Bustaktsignals zum Freigeben der jeweiligen externen Schaltungselemente (23) ausgegeben werden.
11. Integrierte Schaltung nach einem der Patentansprüche 1 bis 10, dadurch gekennzeichnet, daß die Ein-/Ausgangsschaltung (7) selektiv deaktivierbar ist.

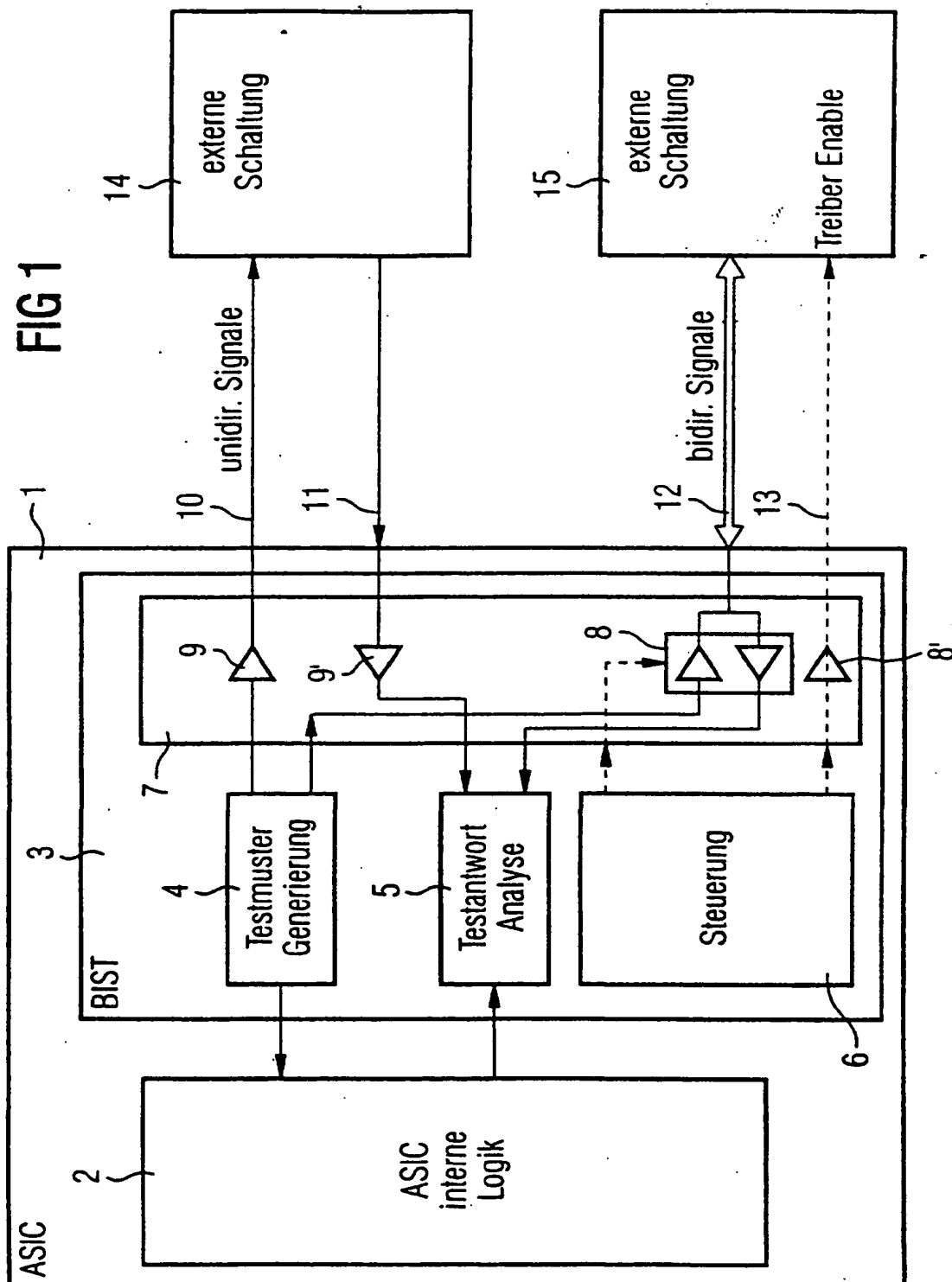


FIG 4

